

⑫ 公開特許公報(A) 平3-9549

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月17日

H 01 L 21/82
G 11 C 11/41
17/00

Z

7131-5B
8225-5F
8323-5BH 01 L 21/82
G 11 C 11/34

D

3 4 5

審査請求 未請求 請求項の数 11 (全6頁)

⑮ 発明の名称 複合集積記憶装置

⑯ 特 願 平2-124305

⑰ 出 願 平2(1990)5月16日

優先権主張 ⑱ 1989年5月16日 ⑲ 米国(US) ⑳ 352,302

⑳ 発 明 者 ジャスウインダー・エ アメリカ合衆国アリゾナ州メサ、イースト・エルムウッド
ス・ジャンデュー 5610

㉑ 発 明 者 トレバー・シドニー・ アメリカ合衆国アリゾナ州メサ、イースト・エバーグリーン
スミス ン・ストリート5544

㉒ 出 願 人 モトローラ・インコー アメリカ合衆国イリノイ州シャンバーグ、イースト・アル
ボレーテッド ゴンクイン・ロード1303

㉓ 代 理 人 弁理士 大貫 進介 外1名

明 細 書

1. 発明の名称

複合集積記憶装置

2. 特許請求の範囲

(1) モノリシック集積記憶装置であって:

アドレスを受取り複数の語線を発生する手段であり、如何なる任意の時刻にも前記語線のうち1本のみを能動にする第1の手段;

前記第1の手段に結合し、デジタル情報を格納する複数のセルを有し、且つ前記複数の語線の少くとも一つを受ける手段であり、前記セルの各々がXビットおよびYビットを有するところの第2の手段;および

前記第2の手段とは異なる方式でデジタル情報を格納する複数のセルを有し、前記第1の手段に結合し、前記複数の語線の少くとも一つを受けするように構成され、且つ前記第2の手段に対して隣接し且つ整合して配置されている第3の手段であり、前記セルの各々はXビットおよびYビット

を有し、前記第2の手段および第3の手段の前記セルのYビットは実質上等しいところの第3の手段;

から成るモノリシック集積記憶装置。

(2) 前記第1の手段に結合し、前記第3の手段に対して隣接し且つ整合して設置され、前記第2および第3の手段とは異なる方式でデジタル情報を格納し、且つ複数のセルを有する手段であり、該セルの各々はXビットおよびYビットを有し、前記セルのYビットは前記第1の手段の前記セルのYビットと実質上等しいところの第4の手段;

をさらに備えている請求項1記載のモノリシック集積記憶装置。

(3) 前記第2の手段に結合している複数のデコーダーセルを備えており、該デコーダーセルの各々が前記第2の手段のセルの少くとも一つに結合した少くとも一つのビット線を有し、前記第2の手段のセルのXビットに実質上等しいXビットを有する第1の列デコーダー;および

前記第3の手段に結合している複数のデコーダ

セルを備えており、該デコーダーセルの各々が前記第3の手段のセルの少くとも一つに結合した少くとも一つのビット線を有し、前記第3の手段のセルのxビットに実質上等しいxビットを有する第2の列デコーダー；

をさらに備えている請求項2記載のモノリシック集積記憶装置。

(4) 前記第2および第3の手段に結合して該第2および第3の手段に格納されているデジタル情報を選択的に受取るマルチプレクサー；および

該マルチプレクサーに結合して選択されたデジタル情報を受取り、更に所要デジタル情報を選択する列デコーダー；

をさらに備えている請求項2記載のモノリシック集積記憶装置。

(5) モノリシック集積回路であって：

複数のデコーダーセルを備え、該デコーダーセルの各々がyビットを有すると共に少くとも一つの語線を備えている行デコーダー；

該行デコーダーに結合し、且つ複数のRAMセ

ルに等しいEPROMアレイ；

をさらに備えている請求項5記載のモノリシック集積回路。

(7) 前記ROMアレイは電氣的に書換え可能なメモリアレイである請求項5記載のモノリシック集積回路。

(8) 複数のデコーダーセルを備えており、該デコーダーセルの各々が前記RAMセルの少くとも一つに結合した少くとも一つのビット線を有し、前記デコーダーセルが前記RAMセルのxビットに実質上等しいxビットを有するところの第1の列デコーダー；および

複数のデコーダーセルを備えており、該デコーダーセルの各々が前記ROMセルの少くとも一つに結合した少くとも一つのビット線を有し、前記デコーダーセルが前記ROMセルのxビットに実質上等しいxビットを有する第2の列デコーダー；

をさらに備えている請求項5記載のモノリシック集積回路。

(9) 複数のデコーダーセルを備えており、該デ

ルを備えており、該RAMセルの各々が前記語線の少くとも一つにより選択され、前記RAMセルの各々がxビットおよびyビットを有しており、前記RAMセルは前記デコーダーセルと同じyビットを有するように配置されているRAMアレイ；および

前記行デコーダーに結合され、前記RAMアレイの近傍に設置され、且つ複数のROMセルを備えており、該複数のROMセルは前記語線の少くとも一つにより選択され、前記ROMセルの各々はxビットおよびyビットを有しており、前記ROMセルはそのyビットが前記RAMセルのyビットと等しくなるように配置されているROMアレイ；

から成るモノリシック集積回路。

(6) 前記行デコーダーに結合し、且つ複数のEPROMセルを備えており、該EPROMセルの各々が前記語線の少くとも一つにより選択され、前記EPROMセルがxビットおよびyビットを有し、該yビットが前記デコーダーセルのyビッ

コーダーセルの各々が前記EPROMセルの少くとも一つに結合した少くとも一つのビット線を有し、前記デコーダーセルが前記EPROMセルのxビットに実質上等しいxビットを有する第3の列デコーダー；

をさらに備えている請求項6記載のモノリシック集積回路。

(10) 前記EPROMアレイはEEPROMアレイである請求項6記載のモノリシック集積回路。

(11) デコーダーならびに第1および第2のメモリアレイを備え、前記デコーダーはyビットを有する複数のセルを備えており、前記第1および第2のメモリアレイはxビットおよびyビットを有する複数のメモリーセルを備えているところの複合記憶装置の配置を行う方法であって：

最大面積を必要とするメモリーセルを有する第1のメモリアレイを配置する段階；

前記第2のメモリアレイのメモリーセルが最初に配置した第1のメモリアレイのメモリーセルとy方向のビットが合うように第2のメモリー

アレイを配置する段階；

前記デコーダーのセルが、最初に配置した第1のメモリアレイのメモリーセルとY方向にビットが合うように、前記デコーダーを配置する段階；
および

前記デコーダーを第1および第2のメモリアレイに結合させる段階；

から成る方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、一般に記憶装置の分野に関するものである。更に詳細には、異なる種類の記憶装置、たとえば、ランダムアクセス記憶装置(RAM)、固定記憶装置(ROM)、電氣的書込み可能ROM(EPROM)などの各アレイをビットを整合させて組合せた複合記憶装置に関する。

(従来技術および解決すべき課題)

多数の電子回路、典型的にはマイクロコンピュータに基づく回路は、一時的にまたは持続的にデジタル情報を格納する必要があり、更に情報に

れらは典型的には、それぞれ、行デコーダーのYビットおよび列デコーダーのXビットに整合している。

メモリーセルのアレイは通常大きな区域を占めるので、メモリーセルはまずXおよびYの両ビットに関して可能な限り密集するように設計される。次に行デコーダーおよび列デコーダーをメモリーセルの既に決定したXビットおよびYビットに合うように設計される。これは、特に大型記憶装置において、効率的且つ効果的設計方法である。ASICの用途では、メモリーセルの数が一般に大きくないが、行デコーダーおよび列デコーダーが比較的大きな面積を占める。更に、RAMのセルは、一般的に、固定記憶装置(ROM)セルより大きい電氣的書込み可能固定記憶装置(EPROM)セルよりもさらに大きい。

容量が異なり形式の異なる記憶装置を必要とするASIC応用の場合、異なる記憶装置を同じクロックサイクルで(または非同期的に)アクセスする必要のないことが非常に多い。異なる形式の

迅速にアクセスしなければならない。更に、多くの電子回路は同じシステムに一時的および持続的の両格納装置を必要とすることが普通である。格納装置に必要なビットの数、したがってメモリーセルの数はシステムによってかなり変えることがある。必要な格納ビット数は大きくなることから、所定の領域に対する記憶ビットの密度を増すことが有利である。

特定用途向け集積回路(ASIC)は、記憶装置の異なる組合せ、および異なる量の各種記憶装置をしばしば必要とする用途の一例である。記憶装置は典型的にはそれぞれチップ上の別々の場所に設置され、それぞれが孤立の記憶装置になっている。典型的に各記憶装置は、Y軸に沿って設置されて語の復号を行う行デコーダー、およびX軸に沿って設置されてビットの復号を行う列デコーダーを備えたX-Yアレイ状に配列されたメモリーセルから構成されている。各メモリアレイのメモリーセルは各々XビットおよびYビット(各セルのそれぞれ幅および高さ)を有しており、こ

記憶装置は個別にアクセスされ、通常そのアドレスされた内容を母線に載せる。事実、各メモリアレイの行デコーダーまたは列デコーダーは冗長的であり、その上かなりな量の面積を必要とする。小さなメモリーセルを最大メモリーセルとビット整合するように設計したとすれば、行デコーダーおよび/または列デコーダーを共有させることができる。これは少量の小さなメモリーセルが存在するとき特に効率が良い。

ビット整合したアレイは従来のコンピュータ援助設計(CAD)技法を用いて構成することができる。しかしながら階層構造的設計法、更に詳細にはシリコンコンパイラーはこのような集積回路構造を配置する上で一層効率的になっている。シリコンコンパイラーは、システムの高レベル記述を読んで、これを回路のパラメーター化配置に変換することができる。設計ソフトウェアを作製する初期には長々と時間がかかるが、複数の回路に対するその後の回路設計には必要とする時間がかなり少い。最大メモリーセルのXビットおよびY

ピッチを一旦決定すれば、これらパラメーターを使用して他のピッチ整合記憶装置を迅速に配置することができる。

したがって、必要なのは、異なる種類の記憶装置、たとえば、ランダムアクセス記憶装置(RAM)、固定記憶装置(ROM)、電氣的書込み可能ROM(EPROM)などのアレイをピッチ整合して組合せた複合記憶装置である。

したがって、改良された記憶装置を提供するのが本発明の目的である。

本発明の他の目的は共通のデコーダーを共有する異なるメモリアレイを備えた記憶装置を提供することである。

本発明の更に他の目的はピッチ整合したアレイを有する複合記憶装置を提供することである。

(課題を解決するための手段)

本発明の上述および他の目的を達成するモノリシック集積記憶装置は、アドレスを受取り複数の語線を発生するように結合された行デコーダーから構成され、如何なる任意の時刻にも前記語線の

うち1本のみを能動にする。行デコーダーは、複数の、ただし異なるメモリアレイの内最大のメモリーセルにピッチ整合している複数のデコーダーセルを備えている。デジタル情報を格納する第1のメモリアレイは複数の語線の少くとも一つを受取る行デコーダーに結合されており、第1のメモリアレイは複数のセルを有し、各セルがXピッチおよびYピッチを備えている。第1のメモリアレイと異なる方式でデジタル情報を格納する第2のメモリアレイは、行デコーダーに結合されており、第2のメモリアレイは第1のメモリアレイに対して隣接し且つ整合して配置されている複数のセルを有し、各セルがXピッチおよびYピッチを備え、Xピッチは第1のメモリアレイのセルのXピッチとは異なっている。前記第1および第2のメモリアレイのセルのYピッチは実質上等しい。

本発明の上述のおよび他の目的、特徴および利点は添付図面と関連して行う以下の詳細な説明から一層良く理解されるであろう。

(実施例の説明)

第1図においてランダムアクセス記憶装置(RAM)セル1を固定記憶装置(ROM)セル2と比較する。RAMセル1は内部に通常4乃至6個のデバイスを備えているがROMセル2は通常1個のデバイスを備えている。それ故、RAMセル1は所定の技術についてROMセル2の約4倍の面積を典型的には占有する。更に、RAMセル1は語線および選択用の語線を必要とし、ビットおよびビットを出力する。ROMセル2は選択用語線だけを必要とし、単一ビットのみを出力する。RAMセル1の幅をXピッチである距離Xで示し、高さをYピッチである距離Yで示してある。同様にROMセル2のXピッチおよびYピッチをそれぞれX1およびY1で示してある。RAMセル1はROMセル2よりかなり大きい、X1ピッチを小さくすることにより等しくすることができる。更にRAMセル1およびROMセル2の面積を更に効率良く合わせるためにそれぞれの列デコーダー

で別の復号を行ってROMセル2内に2または4ビットのROMを入れることも可能である。RAMセル1およびROMセル2は単なる例示であり、ピッチ整合はあらゆる形式のメモリーセルに適用可能である。

第2図は、RAMアレイ4、ROMアレイ5、および電氣的書込み可能ROMアレイ6を組合せた部分記憶装置3を示す。RAMアレイ4は複数のRAMセル1を備えており、ROMアレイ5は複数のROMセル2を備えており、EPROMアレイは複数のEPROMセル21を備えている。アドレスバッファ7はアドレスを受取り、メモリアレイ4、5、または6の一つからメモリーの特定のビットを選択する。アドレスバッファ7は、nビットを有する母線17により行デコーダー8に接続されており、n1ビットを有する母線18により列デコーダー11、列デコーダー12、および列デコーダー13に接続されている。アドレスバッファ7は母線17および18にアドレス信号用の別のドライバを発生する。行デコ

ーダー8は複数のデコーダーセル19から構成されており、行デコーダー8は複数の語線9によりRAMアレイ4、ROMアレイ5、およびEPROMアレイ6に接続されている。

各デコーダーセル19はRAMセル1とY方向にビット整合しており、RAMセル1は更にROMセル2およびEPROMセル21とY方向にビット整合している。RAMセル1、ROMセル2、およびEPROMセル21のXビットは典型的にはビット整合していない。RAMアレイ4からの複数のビット線25は列デコーダー11に接続されている。列デコーダー11は複数のデコーダーセル22から構成されており、デコーダーセル22はRAMセル1とX方向に典型的にビット整合している。同様にROMアレイ5は複数のビット線23により列デコーダー12に接続されており、EPROMアレイ6は複数のビット線24により列デコーダー13に接続されている。

アドレスバッファ7が新しいアドレスを受取ると、線17および18に載っているアドレス

信号がそれぞれ行デコーダー8および列デコーダー11、12、および13により復号される。その結果、複数の語線9の一つが能動となり、RAMセル1、ROMセル2、およびEPROMセル21の各行が選択されることになる。同時に、列デコーダーがRAMセル1、ROMセル2、またはEPROM21の一つから複数のビットを選択する。列デコーダー11、12、および13は異なる数のデコーダーセルを備えることができるからRAMアレイ4、ROMアレイ5、またはEPROMアレイ6に対して語の大きさを同じにする（語線あたりのビット数を同じにする）必要はない。RAMセル1、ROMセル2、およびEPROMセル21は、幾つかの別の形式の記憶装置を代りに使用することができるので、ここでは一例として使用したものである。

複合メモリアレイ14の別の構造を第3図に示す。同等の構造を示すのに第2図に使用した数を第3図に繰返してある。第3図における接続は第2図におけるものと同じであるが、3対1マル

チプレクサー15および列デコーダー16が列デコーダー11、12、および13と置き換わっている。3対1マルチプレクサー15は第2図の列デコーダー11、12、および13と同じ様式で接続されているが、列デコーダー16に接続されているその出力に複数のビット26を備えている。この構成において、簡単な3対1マルチプレクサー15および単一の列デコーダー16により面積が節約されている。しかし、これにはRAMアレイ4、ROMアレイ5、およびEPROMアレイ6の各々からの語の大きさを等しくしなければならない。

第2図および第3図において、アレイあたりのビットの数を等しくする必要はない。またアレイあたりの語の数を等しくする必要もない。たとえば、RAMアレイ4に200語があり、ROMアレイ5に100語しかないとするば、複数の語線9の下半分がRAMアレイ4だけに接続され、ROMアレイ5には接続されないことになる。一組の行デコーダーだけしか必要としないからメモリ

アレイを組み合わせることにより面積のかなりな節約が実現される。また冗長な電力母線の他に冗長な語線およびビット線の必要性も除かれることによって面積が節約される。

複合複数記憶装置の構成はシリコンコンパイラを使用することにより自動化することができる。コンパイラセルは、入力パラメーターがメモリーセルの数、行および列の数、およびメモリーセルのXビットおよびYビットを含んでいる異なるメモリアレイに対して規定することができる。最大のメモリーセルを有するメモリアレイのYビットが、最小限界となるので、最初に配置する。別の各アレイに対する残りのメモリーセルを次に、Yビットは同じであるがXビットが可変であるように配置する。次に、行デコーダーを整合Yビットおよび可変Xビットを備えるように配置する。次の段階ではXビットが整合されることになる列デコーダーをそのそれぞれのメモリアレイのメモリーセルに加える。最後にアレイおよびデコーダーを普通的设计規則に従って配置し、相互に接

続する。

一つのビッチ整合したシステムに組合せることができる多様な記憶装置が異なる記憶装置の一つの基板上に同時に実施する技術の能力のみによって制限されることを当業者は認めることができる。別の記憶装置には、たとえば、電氣的消去可能書き込み可能記憶装置(EEPROM)、書き込み可能固定記憶装置(PROM)、および電氣的書き換え可能固定記憶装置(EAROM)がある。

(発明の効果)

これまで述べたことにより、異なる形式の記憶装置、たとえば、ランダムアクセス記憶装置(RAM)、固定記憶装置(ROM)、電氣的書き込み可能固定記憶装置(EEPROM)、またはその幾つかの組合せ、のビッチ整合したアレイを融合する複合記憶装置が提供されたことが認められるはずである。

4. 図面の簡単な説明

第1図は従来の静的RAMセルおよびROMセルのブロック図である。

第2図は本発明の一実施例のブロック図である。

第3図は本発明の他の実施例のブロック図である。

- 1 …… RAMセル、2 …… ROMセル、
3 …… 部分記憶装置システム、
14 …… 複合メモリアレイ

特許出願人 モトローラ・インコーポレーテッド
代理人 弁理士 大 貫 進 介
同 同 本 城 雅 則

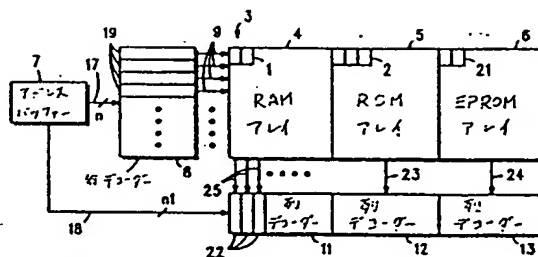
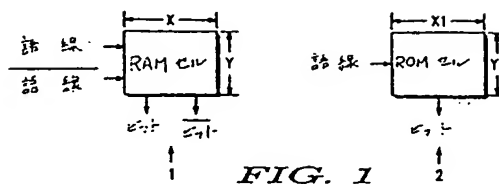


FIG. 2

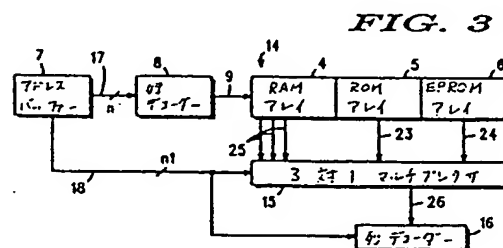


FIG. 3